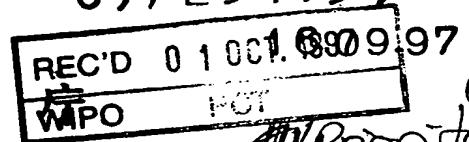


PCT/JP97/03267

09/254939



日 本 国 特 許

PATENT OFFICE
JAPANESE GOVERNMENT

3
Priority
Paper
N. Whitener
9/2/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1996年 9月17日

出 願 番 号

Application Number:

平成 8年特許願第244445号

出 願 人

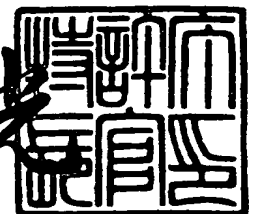
Applicant (s):

株式会社日立製作所

1997年 9月 5日

特許庁長官
Commissioner,
Patent Office

荒井 寿光



出証番号 出証特平09-3069080

【書類名】 特許願

【整理番号】 1596001361

【提出日】 平成 8年 9月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地
株式会社 日立製作所 機械研究所内

【氏名】 三浦 英生

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地
株式会社 日立製作所 機械研究所内

【氏名】 北野 誠

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号
株式会社 日立製作所 半導体事業部内

【氏名】 池田 修二

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号
株式会社 日立製作所 半導体事業部内

【氏名】 鈴木 範夫

【特許出願人】

【識別番号】 000005108

【郵便番号】 101

【住所又は居所】 東京都千代田区神田駿河台四丁目6番地

【氏名又は名称】 株式会社 日立製作所

【代表者】 金井 務

【代理人】

【識別番号】 100068504

【郵便番号】 100

【住所又は居所】 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所内

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】

次の工程を含む半導体装置の製造方法。

- (1) 半導体基板の回路形成面に酸化防止膜を形成する工程。
- (2) 前記半導体基板の回路形成面の所望の位置に前記半導体基板に溝が形成されるような所定の深さの溝を形成する工程。
- (3) 前記半導体基板に形成した溝部分を酸化する工程。
- (4) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程。
- (5) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程。
- (6) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程。

【請求項2】

次の工程を含む半導体装置の製造方法。

- (1) 半導体基板の回路形成面に酸化防止膜を形成する工程。
- (2) 前記半導体基板の回路形成面の所望の位置に前記半導体基板に溝が形成されるような所定の深さの溝を形成する工程。
- (3) 前記溝によって前記半導体基板の回路形成面に形成される角部を除去する工程。
- (4) 前記半導体基板に形成した溝部分を酸化する工程。
- (5) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程。
- (6) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程。
- (7) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程。

【請求項3】

次の工程を含む半導体装置の製造方法。

- (1) 半導体基板の回路形成面に酸化防止膜を形成する工程。
- (2) 前記半導体基板の回路形成面の所望の位置に前記半導体基板に溝が形成さ

れるような所定の深さの溝を形成する工程。

(3) 前記半導体基板に形成した溝部分を酸化する工程。

(4) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程。

(5) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程。

(6) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去した前記半導体基板を酸化する工程。

(7) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程。

【請求項4】

次の工程を含む半導体装置の製造方法。

(1) 半導体基板の回路形成面に酸化防止膜を形成する工程。

(2) 前記半導体基板の回路形成面の所望の位置に前記半導体基板に溝が形成されるような所定の深さの溝を形成する工程。

(3) 前記溝によって前記半導体基板の回路形成面に形成される角部を除去する工程。

(4) 前記半導体基板に形成した溝部分を酸化する工程。

(5) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程。

(6) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程。

(7) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去した前記半導体基板を酸化する工程。

(8) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程。

【請求項5】

半導体基板の回路形成面に形成された素子分離酸化膜構造が溝分離構造である半導体装置において、前記半導体基板の回路形成面と前記溝分離構造を構成する溝の深さ方向の前記半導体基板の側面とのなす角度 θ が $90^\circ < \theta < 180^\circ$ の範囲であることを特徴とする半導体装置。

【請求項6】

半導体基板の回路形成面に形成された素子分離酸化膜構造が溝分離構造である半

導体装置において、前記半導体基板の回路形成面と前記溝分離構造を構成する溝の深さ方向の前記半導体基板の側面とのなす角度 θ が $90^\circ < \theta < 180^\circ$ の範囲であり、前記溝の内部にシリコン酸化物が存在していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信頼性の高い溝分離構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体基板上で隣接した素子間を電氣的に絶縁分離する構造としてLOCOS (Local Oxidation of Silicon) 構造がある。この構造は基板表面を選択的に酸化して厚い熱酸化膜を形成したものであり、多くの半導体装置に採用されている。しかしながらこのLOCOS構造は加工精度が低く、ディープサブミクロンデバイスのように熱酸化膜の加工寸法精度を要求される高集積化半導体装置の絶縁分離構造には適していない。高集積化を要求される半導体装置の絶縁分離構造としてLOCOS構造に代わり例えば特開昭63-143835号公報に開示されているような基板表面に浅溝を形成しその溝部分を選択的に酸化して熱酸化膜を形成する、いわゆる選択酸化法の溝分離構造が採用され始めている。

【0003】

この溝分離構造はLOCOS構造と比較して平面寸法の小さな素子分離酸化膜が形成できるという利点があることから $0.5\mu\text{m}$ 以下の加工寸法精度が要求されるディープサブミクロンデバイス製造に好適である。

【0004】

【発明が解決しようとする課題】

例えば半導体基板であるシリコン基板表面を酸化してシリコン熱酸化膜を形成する場合、形成された熱酸化膜とシリコン基板との界面に大きな機械的応力が発生する。これは、シリコン基板(Si)の一部が酸化されて熱酸化膜(SiO₂)

）に変化する際に約2倍の体積膨張をするためである。この機械的応力が増加するとシリコン基板内に転位や積層欠陥等の結晶欠陥が発生しやすくなり半導体装置の信頼性を劣化させる。また、酸化反応自体（酸化種の拡散挙動や酸化界面での反応率等）が応力の影響を受けて成長する酸化膜の形状が変化することが明らかになっている。発生する応力は、二次元あるいは三次元形状の端点（角点）近傍で集中して発生するため、この応力集中場では特に結晶欠陥や形状変化に注意しなければならない。

【0005】

図1は、従来の選択酸化法における溝分離構造の製造工程の模式図である。図1に示したように従来の方法では、シリコン基板1の表面にパッド酸化膜（シリコン熱酸化膜）2を介して酸化防止膜3を堆積した後、素子分離酸化膜を形成したい領域の酸化防止膜3、パッド酸化膜2及びシリコン基板1を部分的に除去して溝を形成（図1（b））し、その溝部分を酸化してシリコン熱酸化膜5を形成する。この溝分離構造においては、必ず基板の溝上端あるいは下端近傍に端点（角点）が存在するため、この端点（角点）近傍に応力集中場が形成される。この応力集中場の形成により、特に溝上端近傍の基板形状が図1（c）に示したように鋭角にとがった形状4に酸化される場合がある。素子分離用酸化膜形成後、図1（d）に示すように酸化保護膜3に覆われていた素子形成領域にトランジスタ、容量等の電子回路を形成するが、このような鋭角部4が基板表面に残留すると例えばA.Bryant等が「Technical Digest of IEDM '94, pp.671-674」に公表しているように、回路動作中にこの部分に電界集中が発生し回路を構成するトランジスタや容量の耐圧特性を劣化させる場合がある。

【0006】

本発明の目的は、溝分離構造を有する半導体装置において、回路を構成するトランジスタや容量の耐圧特性を劣化させることのない信頼性の高い半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

上記目的は、半導体基板表面の素子分離用溝上端近傍の基板形状の鋭角化を防

止することにより達成される。◆

上記目的を達成するために本発明に係る半導体装置の製造方法は次の工程を含んでいる。◆

(1) 半導体基板の回路形成面に酸化防止膜を形成する工程。◆

半導体基板としてはシリコン基板等が考えられる。◆

酸化防止膜の膜厚は後工程(4)(7)等での酸化工程で全ての酸化防止膜が酸化されない膜厚とする必要がある。◆

酸化防止膜としては、多結晶シリコン薄膜、窒化ケイ素膜等が考えられる。多結晶シリコン薄膜等の酸化されやすい材料は、シリコン基板の酸化に伴う体積膨張に対する拘束力が低く、溝上端部の応力集中が低減される。また、窒化ケイ素膜等の酸化されにくい材料は、酸化工程での酸化量が少ないため膜厚を薄くすることができる。

【0008】

また、酸化防止膜を形成する前にパッド酸化膜をシリコン基板に形成することも有効である。パッド酸化膜が存在すると、パッド酸化膜に接している酸化防止膜の下端及び半導体基板の上端近傍は溝端から順に酸化されていき、いわゆるバースピークが形成され、結果として半導体基板の上端近傍の曲率化が促進される。

【0009】

(2) 前記半導体基板の回路形成面の所望の位置に前記半導体基板に溝が形成されるような所定の深さの溝を形成する工程。◆

この溝は、例えばフォトリソストを用いた通常の露光法とエッチングにより形成することができる。

【0010】

(3) 前記溝によって前記半導体基板の回路形成面に形成される角部を除去する工程。◆

この工程は必ずしも必要ではないが、この工程により角部を除去すれば後工程(7)の酸化が不要となる場合が多い。

【0011】

(4) 前記半導体基板に形成した溝部分を酸化する工程。◆

この酸化により溝部分を厚さ数nm～数10nm程度酸化する。この酸化により溝部分にバズピークが成長して溝上端部に曲率が形成される。

【0012】

(5) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程。◆

埋め込み絶縁膜として使用する材料は基本的に絶縁性の材料でかつ誘電率が低いことが望ましい。これは、誘電率が大きい材料を使用すると、後工程において配線材料をこの上部に堆積した場合に形成される結合容量が大きくなるためである。この観点からは埋め込み材料としてはシリコン酸化膜等が好ましく、多結晶シリコン等は好ましくない。

【0013】

(6) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程。◆

埋め込み絶縁膜を、化学機械研磨(CMP)法あるいはドライエッチング法等を使用してエッチバックする。この場合、酸化防止膜はエッチングストッパーとなり、酸化防止膜の下の半導体基板のエッチングを防止する働きも持つ。

【0014】

(7) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去した前記半導体基板を酸化する工程。◆

この工程により半導体基板の溝上端部の曲率が成長してリーク電流増加防止に十分な曲率とする。また、この酸化により埋め込み絶縁膜が緻密化されるという効果もある。◆

前工程(4)の酸化によって半導体基板の溝上端部の曲率がリーク電流増加防止に十分となっている場合には、この工程は不要である。◆

この工程は前工程(6)の前または次工程(8)の後に実施しても構わない。なお、次工程(8)の後に実施する場合は、半導体基板の表面も同時に酸化されることになるがこの半導体基板の表面に形成された酸化膜は追酸化終了後に除去することで素子分離酸化膜形成工程は完了する。

【0015】

(8) 前記半導体基板の回路形成面上に形成された前記酸化防止膜を除去する工程。◆

この工程により素子分離酸化膜の形成工程は終了するので、この素子分離酸化膜が形成された半導体基板にトランジスタ等の回路を形成して半導体装置が形成される。

【0016】

上記目的を達成するために本発明に係る半導体装置は、半導体基板の回路形成面に形成された素子分離酸化膜構造が溝分離構造である半導体装置であって、前記半導体基板の回路形成面と前記溝分離構造を構成する溝の深さ方向の前記半導体基板の側面とのなす角度 θ を $90^\circ < \theta < 180^\circ$ の範囲となるように構成した。そしてこの構成により溝上端部での電界集中を防止することができるので、半導体基板上に構成するトランジスタや容量等の回路の耐圧特性の劣化に伴うリーク電流増加を防止することができる。

【0017】

また、溝の内部をシリコン酸化物等の誘電率の低い絶縁性材料で埋め込むことにより、半導体基板上に構成する配線の結合容量を小さくすることができ、半導体装置の信頼性をさらに高めることができる。

【0018】

【発明の実施の形態】

以下、本発明の実施形態を図面に示した実施例を参照して説明する。

【0019】

【実施例】

本発明の第1実施例であるMOS型トランジスタの製造工程を図2及び図3を用いて説明する。図2は第1実施例のMOS型トランジスタの製造工程の模式図、図3は第1実施例のMOS型トランジスタの製造工程のフローチャートである。

【0020】

第1実施例のMOS型トランジスタの製造工程は次のようになる。◆

(1) シリコン基板1の表面を熱酸化して厚さ10～数10nmのパッド酸化膜2を形成する〔図3(101)～(102)〕。

【0021】

(2) パッド酸化膜2の上に多結晶シリコン薄膜18を厚さ10～200nm程度堆積する〔図3(103)〕。この多結晶シリコン薄膜18は、素子分離熱酸化膜5を形成した時の酸化防止膜として使用する。なお、パッド酸化膜2の形成を省略して、シリコン基板1の上に直接多結晶シリコン膜18を堆積しても構わない。◆

なお、以下の記載はパッド酸化膜2を形成したことを前提としている。従って、パッド酸化膜2の形成を省略した場合、パッド酸化膜2に関する工程は不要である。

【0022】

(3) 多結晶シリコン膜18の上にホトレジスト19を形成する〔図2(b)、図3(104)〕。

【0023】

(4) 通常の露光法を使用して、素子分離膜を形成する領域のホトレジスト19を除去した後、多結晶シリコン薄膜18、パッド酸化膜2及びシリコン基板1の一部をエッチング除去し、シリコン基板1の表面に側壁が所定の角度(実質的には60～90度程度)を有する浅溝を形成する〔図2(c)～(d)、図3(105)～(107)〕。

【0024】

(5) ホトレジスト19を除去した後、熱酸化を行い、シリコン基板1の表面に形成した溝部分を厚さ数nm～数10nm程度酸化する〔図2(e)～(f)、図3(108)～(109)〕。なお、酸化防止膜として堆積する多結晶シリコン薄膜18の膜厚さは、この熱酸化時に多結晶シリコン薄膜18が全て酸化されて多結晶シリコン薄膜18の下シリコン基板1の全体が酸化されないよう酸化防止膜として機能するに十分な膜厚を確保しなければならない。この時、多結晶シリコン薄膜18の表面も酸化される。パッド酸化膜2が存在すると、パッド酸化膜2に接している多結晶シリコン薄膜18の下端及びシリコン基板1の上端

近傍のシリコンは溝端から順に酸化されていき、いわゆるバズピークが形成され、結果としてシリコン基板1の上端近傍の曲率化は促進される。この観点からは、パッド酸化膜2は形成することが好ましい。

【0025】

(6) この溝酸化では溝内部が完全に熱酸化膜で埋め尽くされないので、この溝内部を完全に熱酸化膜で埋め尽くすために、例えば化学気相蒸着法、スパッタ法等でシリコン酸化膜等の絶縁膜9を堆積し溝内部を埋め込む（以下、溝内部を埋め込む絶縁膜9を埋め込み絶縁膜9という）〔図2（g）、図3（110）〕。埋め込み絶縁膜9として使用する材料は基本的に絶縁性の材料でかつ誘電率が低いことが望ましい。これは、誘電率が大きい材料を使用すると、後工程において配線材料をこの上部に堆積した場合に形成される結合容量が大きくなるためである。この観点からは埋め込み材料として多結晶シリコンを使用することは好ましくない。

【0026】

(7) 埋め込み絶縁膜9を化学機械研磨（CMP）法あるいはドライエッチング法等を使用してエッチバックする〔図2（g）、図3（111）〕。この場合、酸化防止膜として使用した多結晶シリコン薄膜18はエッチングストッパーとなり、多結晶シリコン薄膜18の下のシリコン基板1がエッチングされることを防止する働きも持つ。

【0027】

(8) シリコン基板1の溝部分の酸化で成長したバズピークによる溝上端部12の曲率がリーク電流増加防止に十分である場合には、多結晶シリコン薄膜18及びパッド酸化膜2を除去することで素子分離酸化膜の形成工程は完了する〔図2（h）（i）、図3（113）〕。

【0028】

シリコン基板1の溝部分の酸化で成長したバズピークによる溝上端部12の曲率がリーク電流増加防止に十分でない場合には、埋め込み絶縁膜9をエッチバックした後で再び熱酸化（以下、追酸化という）を実施する〔図2（1）、図3（112）〕。

【0029】

この場合、シリコン基板1の溝内部には既に埋め込み絶縁膜9が形成されているので、次の理由により酸化は溝上端部12の近傍から進行し、溝内部はほとんど酸化されない。すなわち、溝内部は埋め込み絶縁膜9を介して熱酸化を行うことになるがこの場合、シリコン基板を直接酸化する場合と比較して酸化種が埋め込み絶縁膜9を拡散してシリコン基板1に到達する分だけ時間を要するので、数分程度の短い時間では実質的には酸化はほとんど進行しない。一方、溝上端部12には化学気相蒸着法またはスパッタ法で溝側壁と溝上面に堆積された埋め込み酸化膜9の接合部の弱い境界層が存在するため、この弱い境界層に沿って酸化種が相対的に高速で拡散することが可能となり、結果として溝上端部12には酸化種が短時間（酸化温度850℃で10分以上）で供給されることになり、溝上端部12の近傍のみが酸化され、溝上端部12の曲率形成を促進することになる。

【0030】

さらに、この追酸化により埋め込み絶縁膜9が緻密化されるという効果もある。そして追酸化終了後多結晶シリコン薄膜18及びパッド酸化膜2を除去することで素子分離酸化膜形成工程は完了する〔図2（m）、図3（113）〕。

【0031】

この追酸化は、多結晶シリコン薄膜18を除去してから行ってもよい。この場合、シリコン基板1の表面も同時に酸化されることになるがこのシリコン基板1の表面に形成された酸化膜は追酸化終了後に除去することで素子分離酸化膜形成工程は完了する。

【0032】

（9） シリコン基板1の上にトランジスタ構造等を形成する〔図2（j）、（h）、図3（114）～（122）〕。◆

トランジスタ構造等の製造工程は従来の製造技術であれば良く特に限定されるものではないが、以下にMOS型トランジスタ構造の代表的な製造工程を説明する。

【0033】

（a） ゲート酸化膜6として、シリコン酸化膜、窒化ケイ素膜、酸窒化膜、強

誘電体薄膜等のいずれか、あるいはこれらの積層体をシリコン基板1の上に形成する。◆

これらの薄膜は例えばCVD等により形成することができる。また、シリコン酸化膜はシリコン基板1の熱酸化で形成しても良い。

【0034】

(b) 多結晶シリコン薄膜、タングステン等の金属薄膜、シリサイド薄膜のいずれか、あるいはこれらの積層体を形成した後、不要箇所をエッチング加工等で除去してゲート電極7を形成する。

【0035】

(c) 不純物の導入、一層目配線10の形成、層間絶縁膜11等を形成する。さらに必要に応じて二層目以降の配線及び絶縁膜を形成する。◆

上記のMOS型トランジスタはDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等のメモリ回路あるいは演算回路等に使用することができる。

【0036】

第1実施例によれば、MOS型トランジスタの製造工程において、素子分離酸化膜構造として溝分離構造を形成する際にシリコン基板の溝上端部近傍に鋭角部が残留することを防止し、シリコン基板の溝上端部近傍に曲率部あるいは鈍角部を形成することでゲート電極膜端部近傍の電界集中に起因したMOS型トランジスタのリーク電流増加あるいは耐圧特性の低下を防止できトランジスタの電氣的信頼性を向上できるという効果がある。

【0037】

なお、第1実施例は、熱酸化する前のシリコン基板の溝上端部がほぼ直角であることからシリコン基板の溝上端部近傍の曲率が十分なものにならない場合があるが、酸化防止膜である多結晶シリコンが酸化されやすいため、酸化防止膜が酸化されにくい材料に較べれば、シリコン基板の体積膨張に対する拘束力は低く、追酸化を必要としない場合がある。また、溝の加工が容易であり生産性点でも優れている。

【0038】

次に、本発明の第2実施例であるMOS型トランジスタの製造工程を図4及び図5に示す。図4は第2実施例のMOS型トランジスタの製造工程の模式図、図5は第2実施例のMOS型トランジスタの製造工程のフローチャートである。

【0039】

第2実施例のMOS型トランジスタの製造工程は第1実施の製造工程の(4)を次のように変更したものである。製造工程の(4)以外は第1実施例と同じなので詳細説明は省略する。

【0040】

(4) 通常の露光法を使用して、素子分離膜を形成する領域のホトレジスト19を除去した後、多結晶シリコン薄膜18、パッド酸化膜2及びシリコン基板1の一部をエッチング除去し、シリコン基板1の表面に浅溝を形成する。このシリコン基板表面の溝形成においては、溝上端近傍では等方性のエッチングを施し、溝上端近傍に曲率を形成し、その後異方性エッチングを施し等方性エッチング部13のような傾斜部を有する溝形状を形成する。なお、溝下端近傍の溝側壁の角度は必ずしも90度である必要はなく、所定の傾斜(実質的には60~90度の範囲)が形成されていても構わない[図4(c)~(e)、図5(205)~(207)]。

【0041】

なお、第2実施例は第1実施例に較べ、浅溝形成時のエッチング工程が複雑になるが上記のように浅溝形成時にシリコン基板1の溝上端部に等方性エッチング部13を設けることにより、初回の熱酸化でのシリコン基板1の溝上端部の酸化が促進されさらに追酸化の必要性が低くなる。

【0042】

次に、本発明の第3実施例であるMOS型トランジスタの製造工程を図6及び図7を用いて説明する。図6は第3実施例のMOS型トランジスタの製造工程の模式図、図7は第3実施例のMOS型トランジスタの製造工程のフローチャートである。

【0043】

第3実施例のMOS型トランジスタの製造工程は次のようになる。◆

(1) シリコン基板1の表面を熱酸化して厚さ10～数10nmのパッド酸化膜2を形成する〔図7(301)～(302)〕。

【0044】

(2) パッド酸化膜2の上に耐酸化性の高い窒化ケイ素膜17を厚さ10～200nm程度堆積する〔図7(103)〕。この窒化ケイ素膜17は、素子分離熱酸化膜5を形成した時の酸化防止膜として使用する。なお、パッド酸化膜2の形成を省略して、シリコン基板1の上に直接耐酸化性の高い窒化ケイ素膜17を堆積しても構わない。あるいは、パッド酸化膜2と多結晶シリコン薄膜を介して、または多結晶シリコン薄膜のみを介して窒化ケイ素膜17を堆積する。いずれの場合も窒化ケイ素膜17が最表面に存在する構造とする。

【0045】

なお、以下の記載は多結晶シリコン薄膜およびパッド酸化膜2を形成したことを前提としている。従って、多結晶シリコン薄膜およびパッド酸化膜2の形成を省略した場合、多結晶シリコン薄膜およびパッド酸化膜2に関する工程は不要である。

【0046】

(3) 窒化ケイ素膜17上にホトレジスト19を形成する〔図6(b)、図7(304)〕。

【0047】

(4) 通常の露光法を使用して、素子分離膜を形成する領域のホトレジスト19を除去した後、窒化ケイ素膜17、パッド酸化膜2及び多結晶シリコン薄膜をエッチング除去する。次にフォトレジスを除去して、シリコン基板1の表面にドライエッチング法を使用して浅溝を形成する。このシリコン基板表面の溝形成においては、溝上端近傍では等方性のエッチングを施し、溝上端近傍に曲率を形成し、その後異方性エッチングを施し等方性エッチング部13のような傾斜部を有する溝形状を形成する。なお、溝下端近傍の溝側壁の角度は必ずしも90度である必要はなく、所定の傾斜(実質的には60～90度の範囲)が形成されていて

も構わない〔図6(c)～(e)、図7(305)～(308)〕。

【0048】

(5) ホトレジスト19を除去した後、熱酸化を行い、シリコン基板1の表面に形成した溝部分を厚さ数nm～数10nm程度酸化する〔図6(e)～(f)、図7(309)〕。なお、酸化防止膜として窒化ケイ素膜17の膜厚さは、この熱酸化時に窒化ケイ素膜17が全て酸化されて窒化ケイ素膜17の下シリコン基板1の全体が酸化されないよう酸化防止膜として機能するに十分な膜厚を確保しなければならない。この窒化ケイ素膜17は耐酸化性が高いので第1実施例および第2実施例の多結晶シリコン薄膜18よりは膜厚を薄くすることができる。パッド酸化膜2が存在すると、パッド酸化膜2に接しているシリコン基板1の上端部近傍のシリコンおよび多結晶シリコン薄膜下端は溝端から順に酸化されていき、いわゆるバースピークが形成され、結果としてシリコン基板1の上端近傍の曲率化は促進される。この観点からは、パッド酸化膜2は形成することが好ましい。

【0049】

(6) この溝酸化では溝内部が完全に熱酸化膜で埋め尽くされないので、この溝内部を完全に熱酸化膜で埋め尽くすために、例えば化学気相蒸着法、スパッタ法等でシリコン酸化膜等の絶縁膜9を堆積し溝内部を埋め込む（以下、溝内部を埋め込む絶縁膜9を埋め込み絶縁膜9という）〔図6(g)、図7(310)〕。埋め込み絶縁膜9として使用する材料は基本的に絶縁性の材料でかつ誘電率が低いことが望ましい。これは、誘電率が大きい材料を使用すると、後工程において配線材料をこの上部に堆積した場合に形成される結合容量が大きくなるためである。この観点からは埋め込み材料として多結晶シリコンを使用することは好ましくない。

【0050】

(7) シリコン基板1の溝部分の酸化で成長したバースピークによる溝上端部12の曲率がリーク電流増加防止に十分である場合には、埋め込み絶縁膜9をエッチバックした後、残存した窒化ケイ素膜17、多結晶シリコン及びパッド酸化膜2を除去することで素子分離酸化膜の形成工程は完了する〔図6(h)(i)〕

、図7(313)]。

【0051】

シリコン基板1の溝部分の酸化で成長したバースピークによる溝上端部12の曲率がリーク電流増加防止に十分でない場合には、埋め込み絶縁膜9をエッチバックする前に再び熱酸化（以下、追酸化という）を実施する〔図6(1)、図7(312)]。

【0052】

この場合、シリコン基板1の溝内部には既に埋め込み絶縁膜9が形成されているので、次の理由により酸化は溝上端部12の近傍から進行し、溝内部はほとんど酸化されない。

【0053】

すなわち、溝内部は埋め込み絶縁膜9を介して熱酸化を行うことになるがこの場合、シリコン基板を直接酸化する場合と比較して酸化種が埋め込み絶縁膜9を拡散してシリコン基板1に到達する分だけ時間を要するので、数分程度の短い時間では実質的には酸化はほとんど進行しない。一方、溝上端部12には化学気相蒸着法またはスパッタ法で溝側壁と溝上面に堆積された埋め込み酸化膜9の接合部の弱い境界層が存在するため、この弱い境界層に沿って酸化種が相対的に高速で拡散することが可能となり、結果として溝上端部12には酸化種が短時間（酸化温度850℃で10分以上）で供給されることになり、溝上端部12の近傍のみが酸化され、溝上端部12の曲率形成を促進することになる。

【0054】

この追酸化で成長したバースピークによる溝上端部12の曲率がリーク電流増加防止に十分である場合には、埋め込み絶縁膜9をエッチバックした後、残存した窒化ケイ素膜17、多結晶シリコン及びパッド酸化膜2を除去することで素子分離酸化膜の形成工程は完了する〔図6(m)、図7(313)]。◆

なお、この追酸化は、必ずしも埋め込み絶縁膜9のエッチバック前に行う必要はなく、第1実施例のように埋め込み絶縁膜9のエッチバック後に行ってもよい。

【0055】

(8) シリコン基板1の上にトランジスタ構造等を形成する〔図6(j)、(n)、図7(314)～(322)〕。◆

トランジスタ構造等の製造工程は従来の製造技術であれば良く特に限定されるものではないが、以下にMOS型トランジスタ構造の代表的な製造工程を説明する。

【0056】

(a) ゲート酸化膜6として、シリコン酸化膜、窒化ケイ素膜、酸窒化膜、強誘電体薄膜等のいずれか、あるいはこれらの積層体をシリコン基板1の上に形成する。◆

これらの薄膜は例えばCVD等により形成することができる。また、シリコン酸化膜はシリコン基板1の熱酸化で形成しても良い。

【0057】

(b) 多結晶シリコン薄膜、タングステン等の金属薄膜、シリサイド薄膜のいずれか、あるいはこれらの積層体を形成した後、不要箇所をエッチング加工等で除去してゲート電極7を形成する。

【0058】

(c) 不純物の導入、一層目配線10の形成、層間絶縁膜11等を形成する。さらに必要に応じて二層目以降の配線及び絶縁膜を形成する。

【0059】

上記のMOS型トランジスタはDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等のメモリ回路あるいは演算回路等に使用することができる。

【0060】

第3実施例においては、MOS型トランジスタの製造工程において、素子分離酸化膜構造として溝分離構造を形成する際にシリコン基板の溝上端部近傍に鋭角部が残留することを防止し、シリコン基板の溝上端部近傍に曲率部あるいは鈍角部を形成することでゲート電極膜端部近傍の電界集中に起因したMOS型トランジスタのリーク電流増加あるいは耐圧特性の低下を防止できトランジスタの電気

的信頼性を向上できるという効果がある。

【0061】

なお、実施例3によれば、酸化防止膜として耐酸化性の高い窒化ケイ素膜17を使用するため、酸化防止膜の膜厚を薄くすることができ、最終工程における酸化防止膜の除去が容易になる。

【0062】

また、第3実施例は第2実施例と同様に、浅溝形成時のエッチング工程が複雑になるが上記のように浅溝形成時にシリコン基板1の溝上端部に等方性エッチング部13を設けることにより、初回の熱酸化でのシリコン基板1の溝上端部の酸化が促進されさらに追酸化の必要性が低くなる。

【0063】

次に、本発明の第4実施例であるMOS型トランジスタの製造工程を図8及び図9を用いて説明する。図8は第4実施例のMOS型トランジスタの製造工程の模式図、図9は第3実施例のMOS型トランジスタの製造工程のフローチャートである。

【0064】

(4) 通常の露光法を使用して、素子分離膜を形成する領域のホトレジスト19を除去した後、窒化ケイ素膜17、パッド酸化膜2及び多結晶シリコン薄膜をエッチング除去する。次にフォトレジスを除去して、シリコン基板1の表面にドライエッチング法を使用して浅溝を形成する。なお、溝下端近傍の溝側壁の角度は必ずしも90度である必要はなく、所定の傾斜（実質的には60～90度の範囲）が形成されていても構わない〔図8(c)～(e)、図9(405)～(408)〕。

【0065】

第4実施例によれば、第3実施例と同様に酸化防止膜として耐酸化性の高い窒化ケイ素膜17を使用するため、酸化防止膜の膜厚を薄くすることができ、最終工程における酸化防止膜の除去が容易になる。◆

また、第4実施例は溝の加工が容易であり生産性が優れている。

【0066】

【発明の効果】

本発明によれば、溝分離構造を有する半導体装置において、回路を構成するトランジスタや容量の耐圧特性を劣化させることのない半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】従来の選択酸化法における溝分離構造の製造工程の模式図である。

【図2】本願に係る第1実施例のMOS型トランジスタの製造工程の模式図である。

【図3】本願に係る第1実施例のMOS型トランジスタの製造工程のフローチャートである。

【図4】本願に係る第2実施例のMOS型トランジスタの製造工程の模式図である。

【図5】本願に係る第2実施例のMOS型トランジスタの製造工程のフローチャートである。

【図6】本願に係る第3実施例のMOS型トランジスタの製造工程の模式図である。

【図7】本願に係る第3実施例のMOS型トランジスタの製造工程のフローチャートである。

【図8】本願に係る第4実施例のMOS型トランジスタの製造工程の模式図である。

【図9】本願に係る第4実施例のMOS型トランジスタの製造工程のフローチャートである。

【符号の説明】

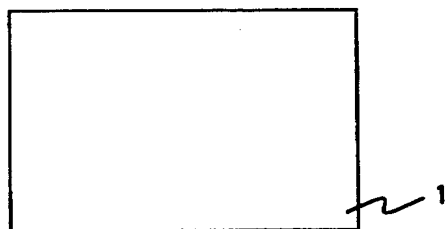
1…シリコン基板、2…パッド酸化膜、6…ゲート酸化膜、9…埋め込み絶縁膜、12…溝上端部、13…等方性エッチ部、17…窒化ケイ素膜、18…多結晶シリコン膜、19…フォトレジスト。

【書類名】 図面

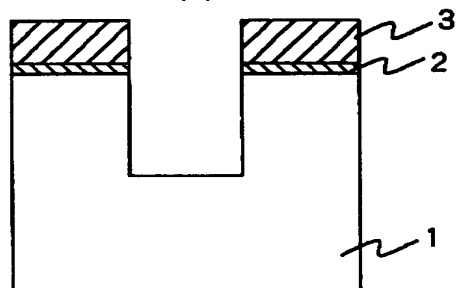
【図 1】

図 1

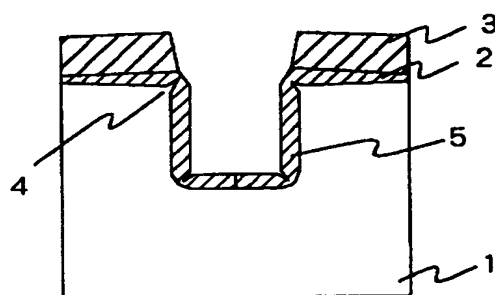
(a)



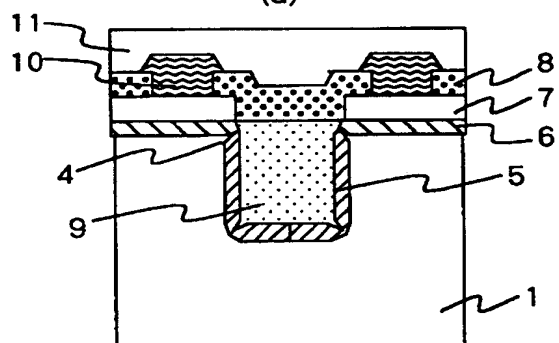
(b)



(c)

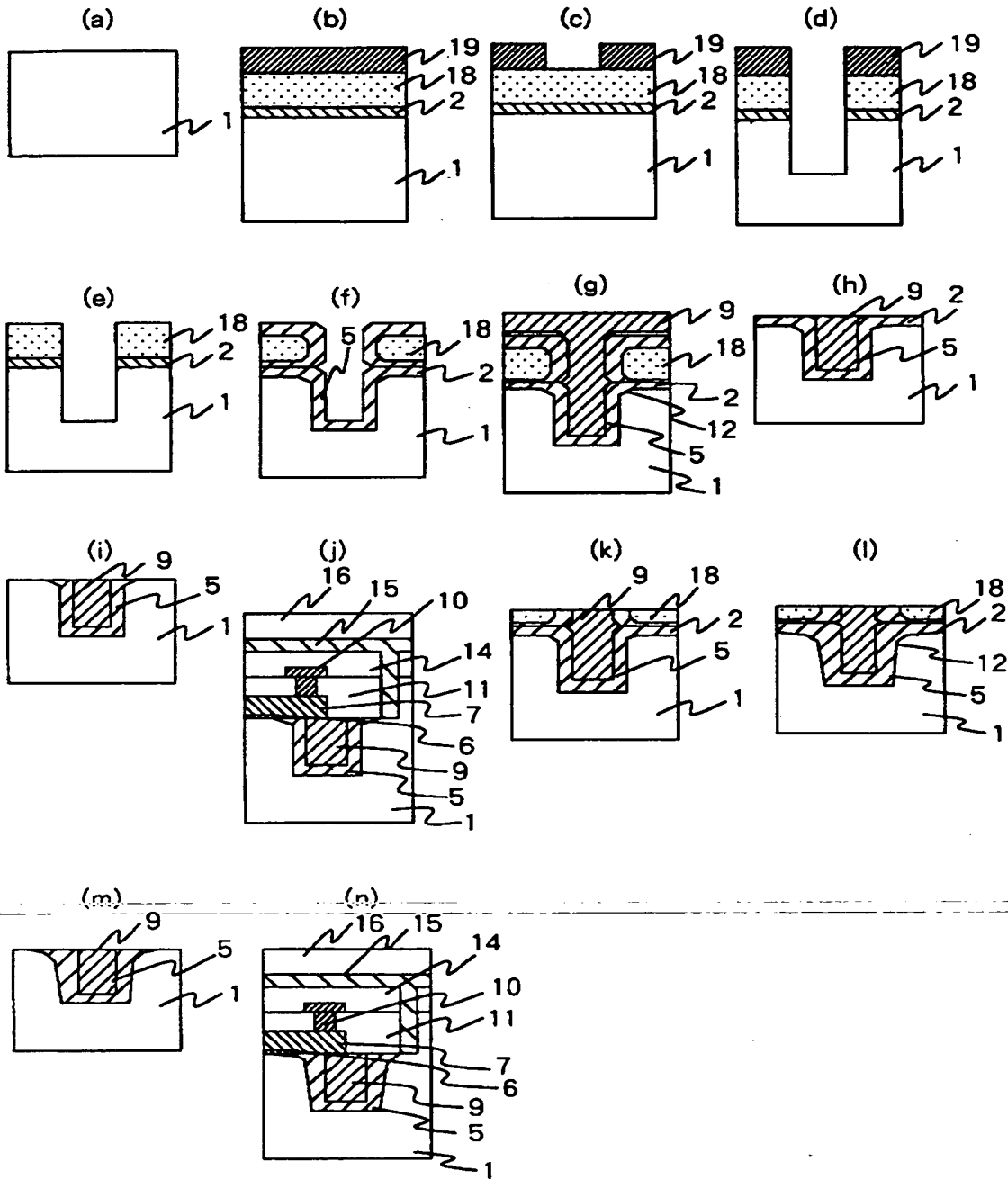


(d)



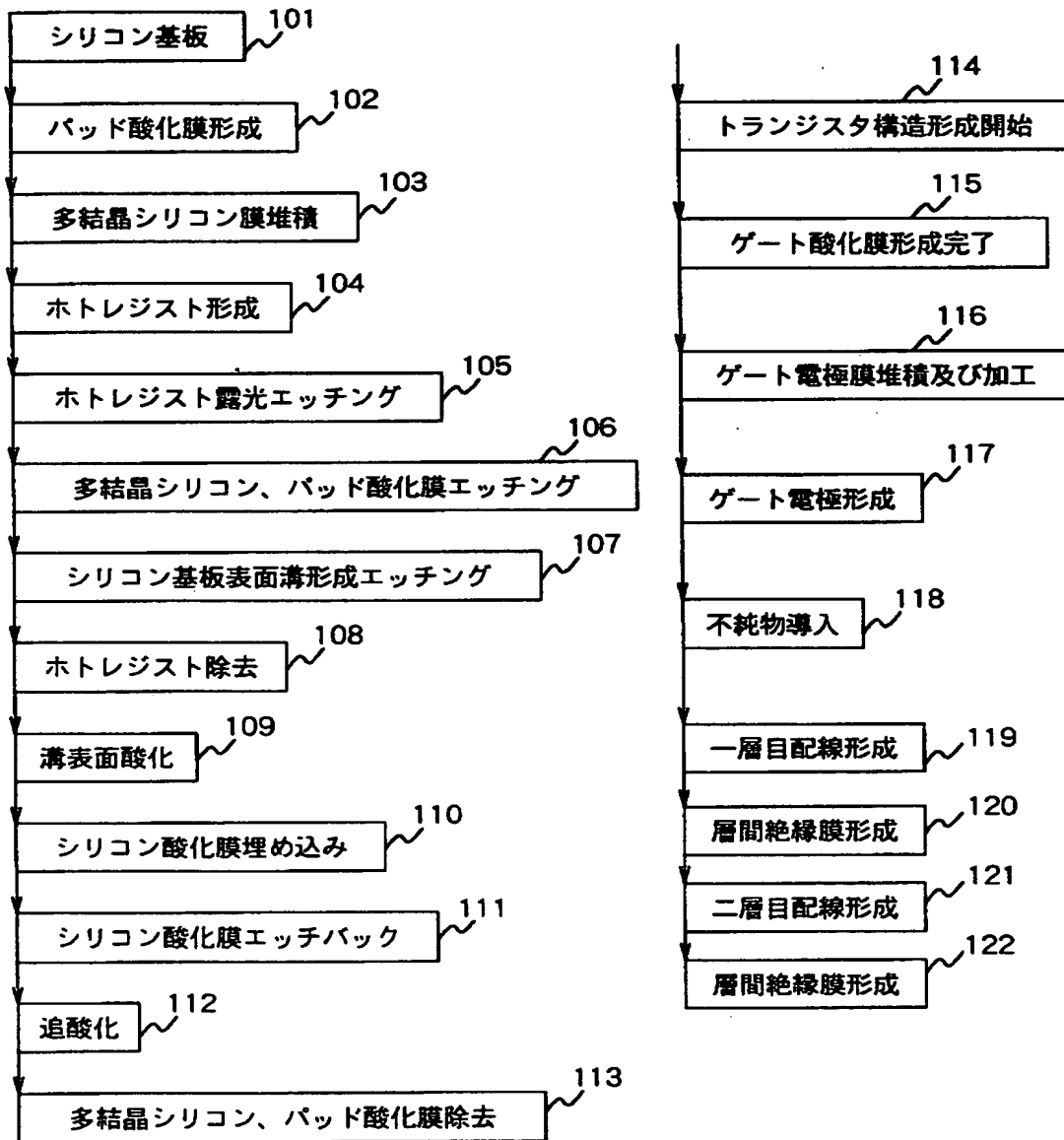
【図2】

図 2



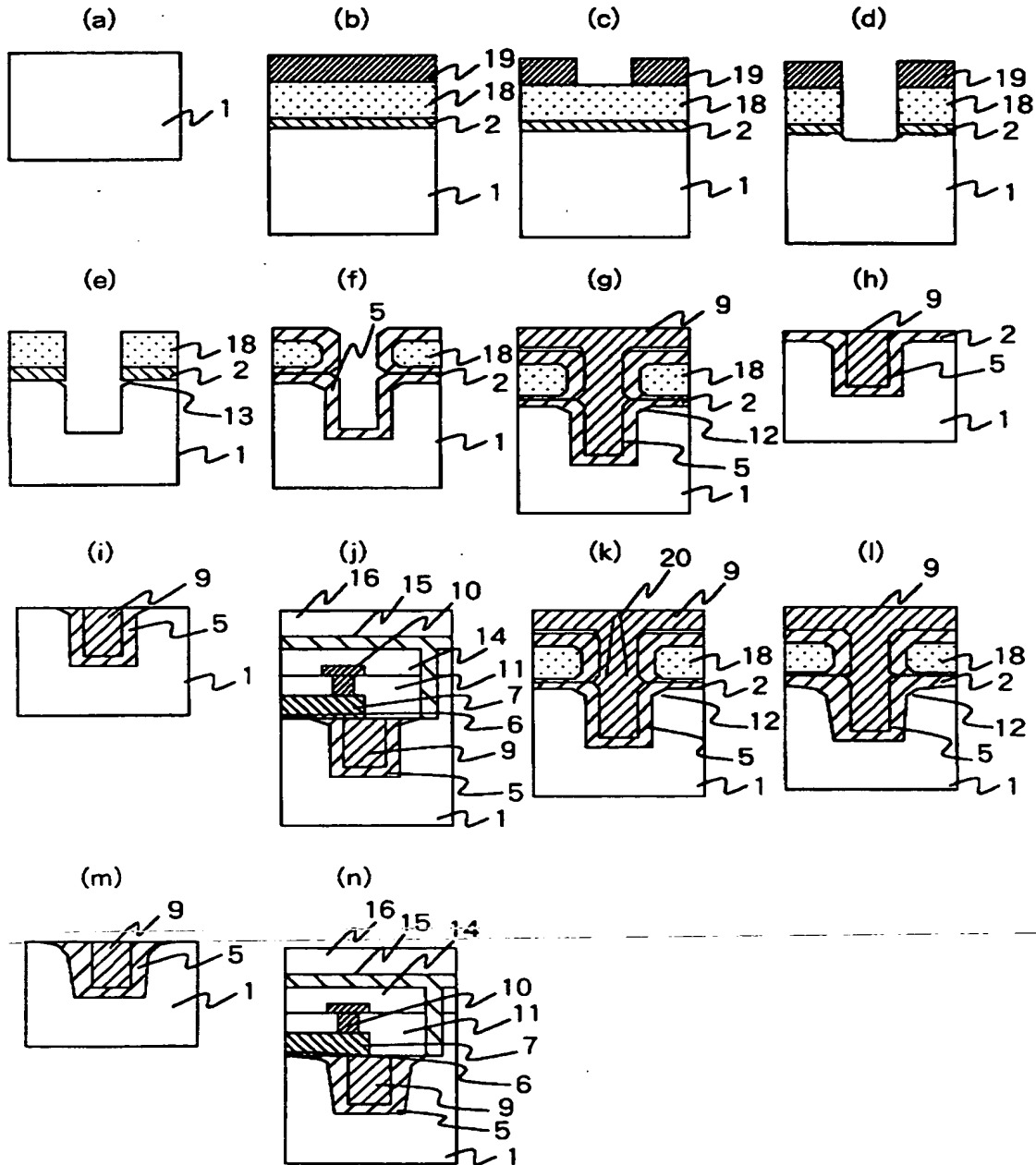
【図3】

図 3



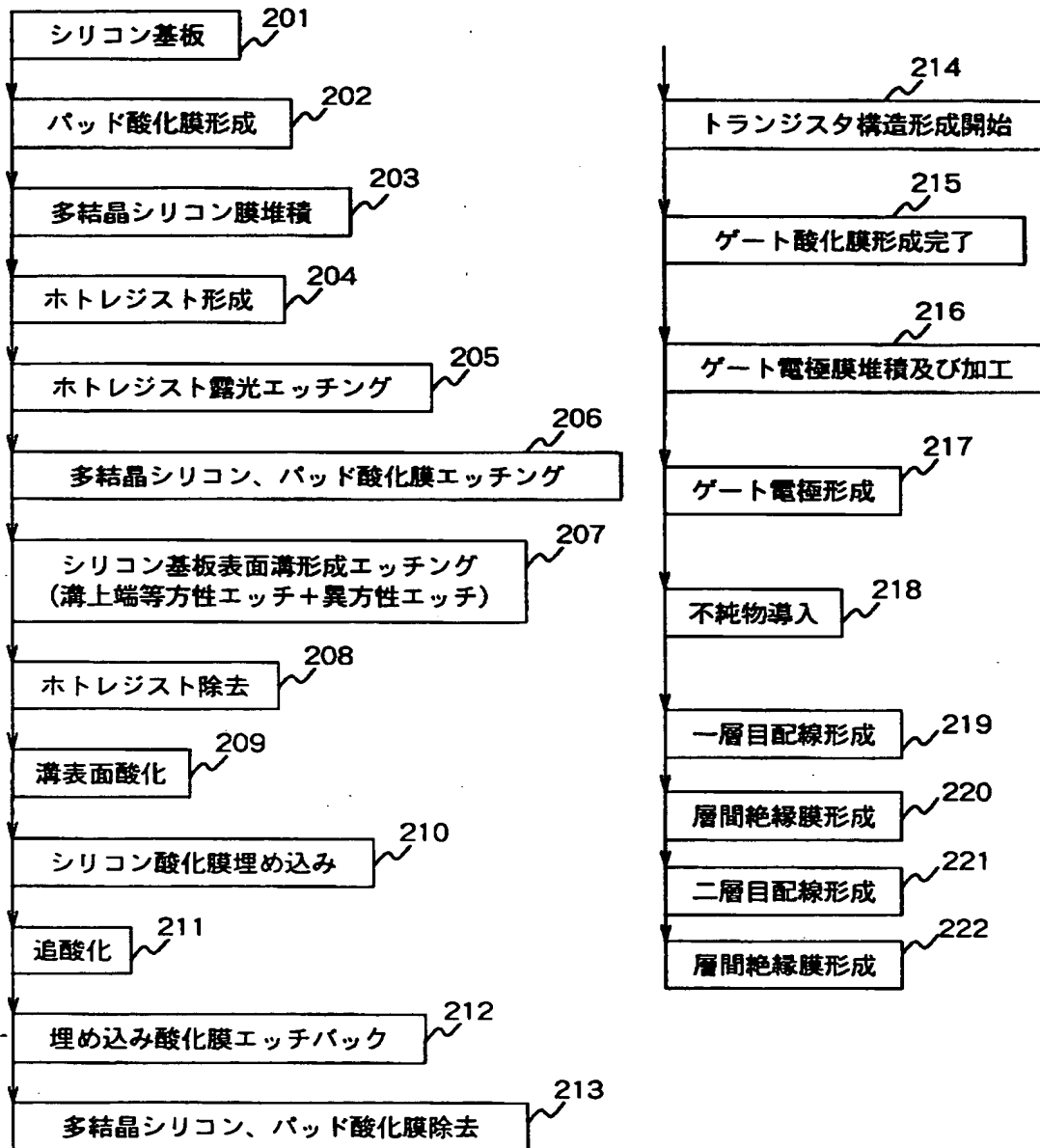
【図4】

図 4



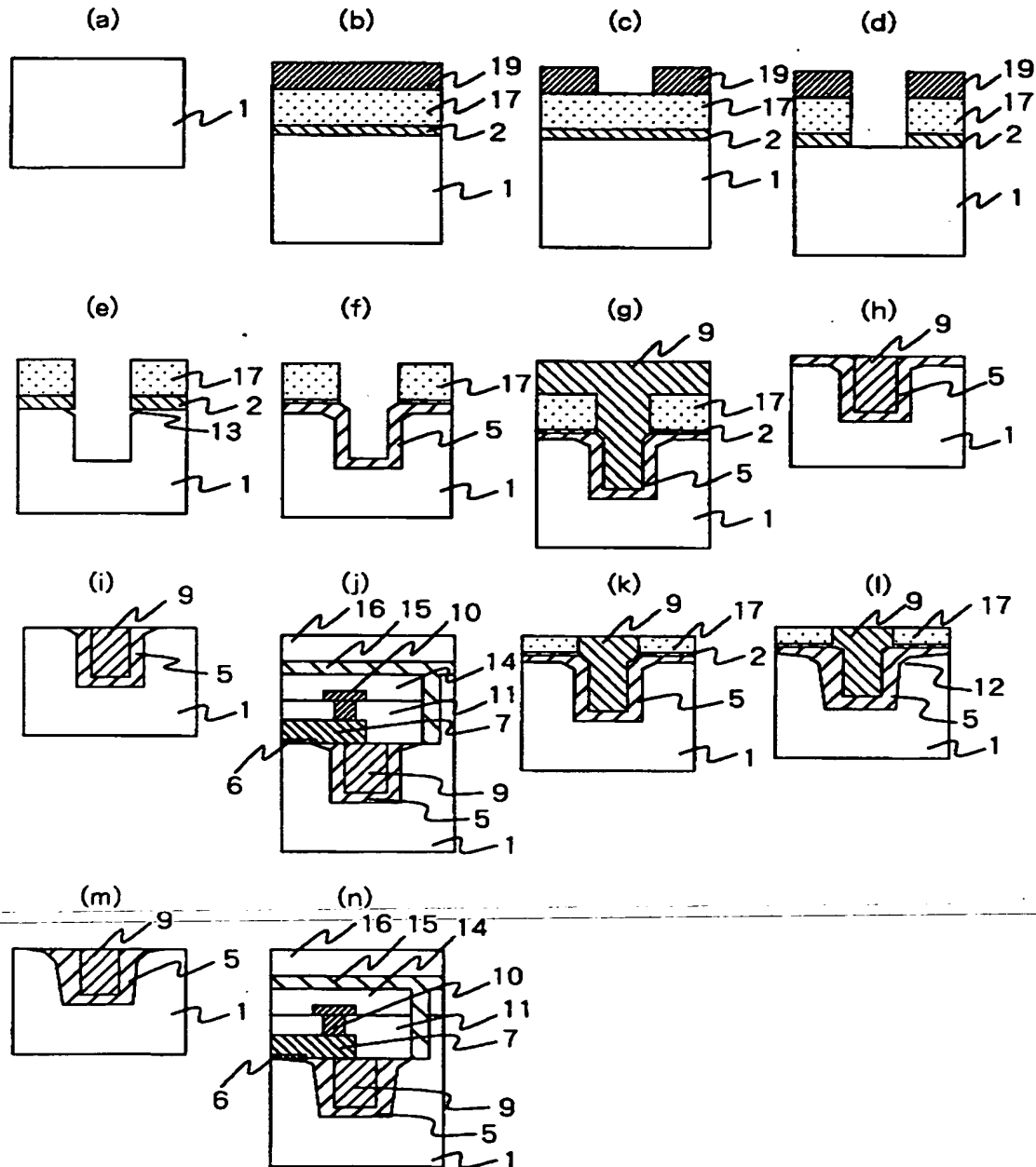
【図5】

図 5



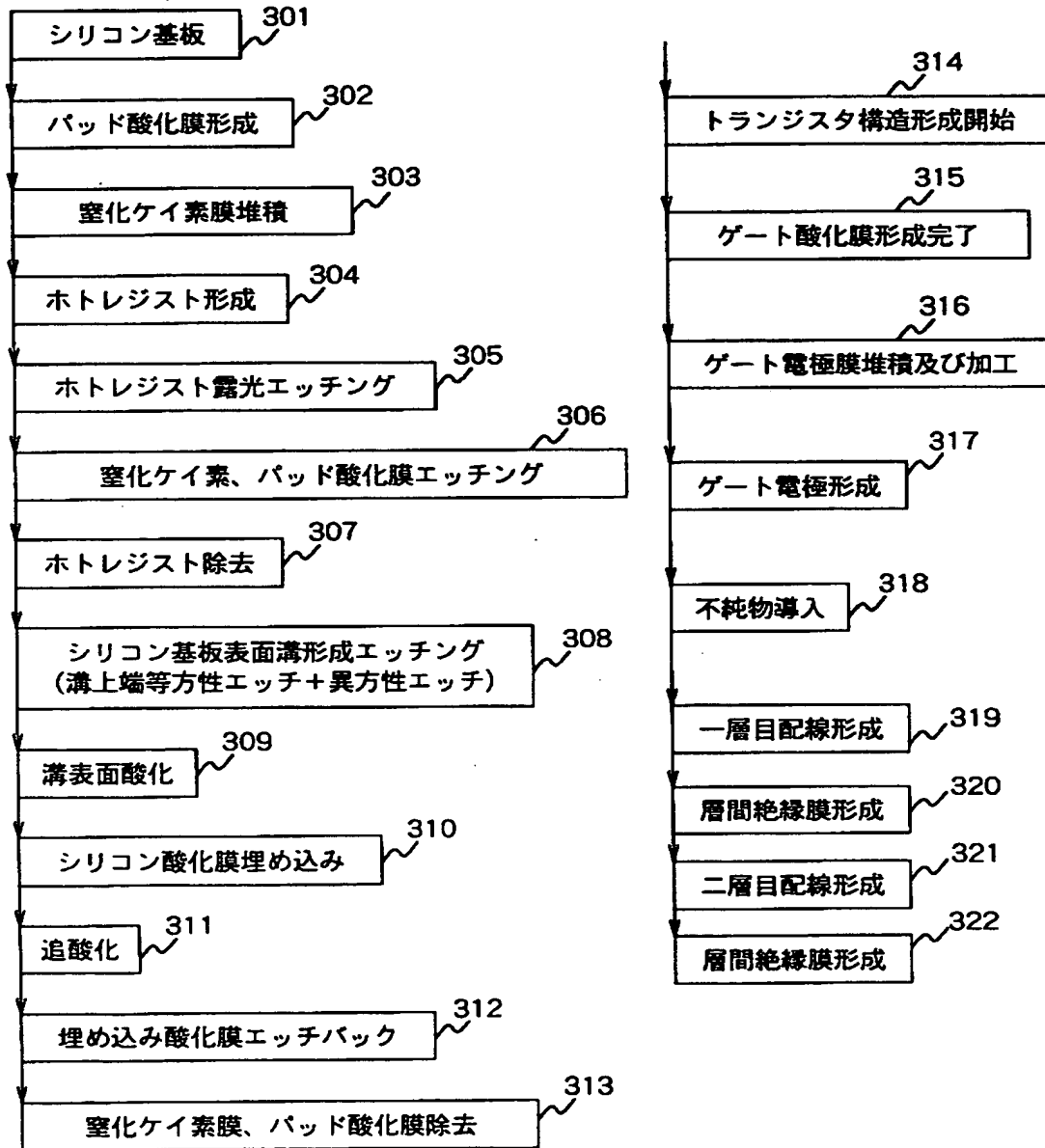
【图6】

图 6



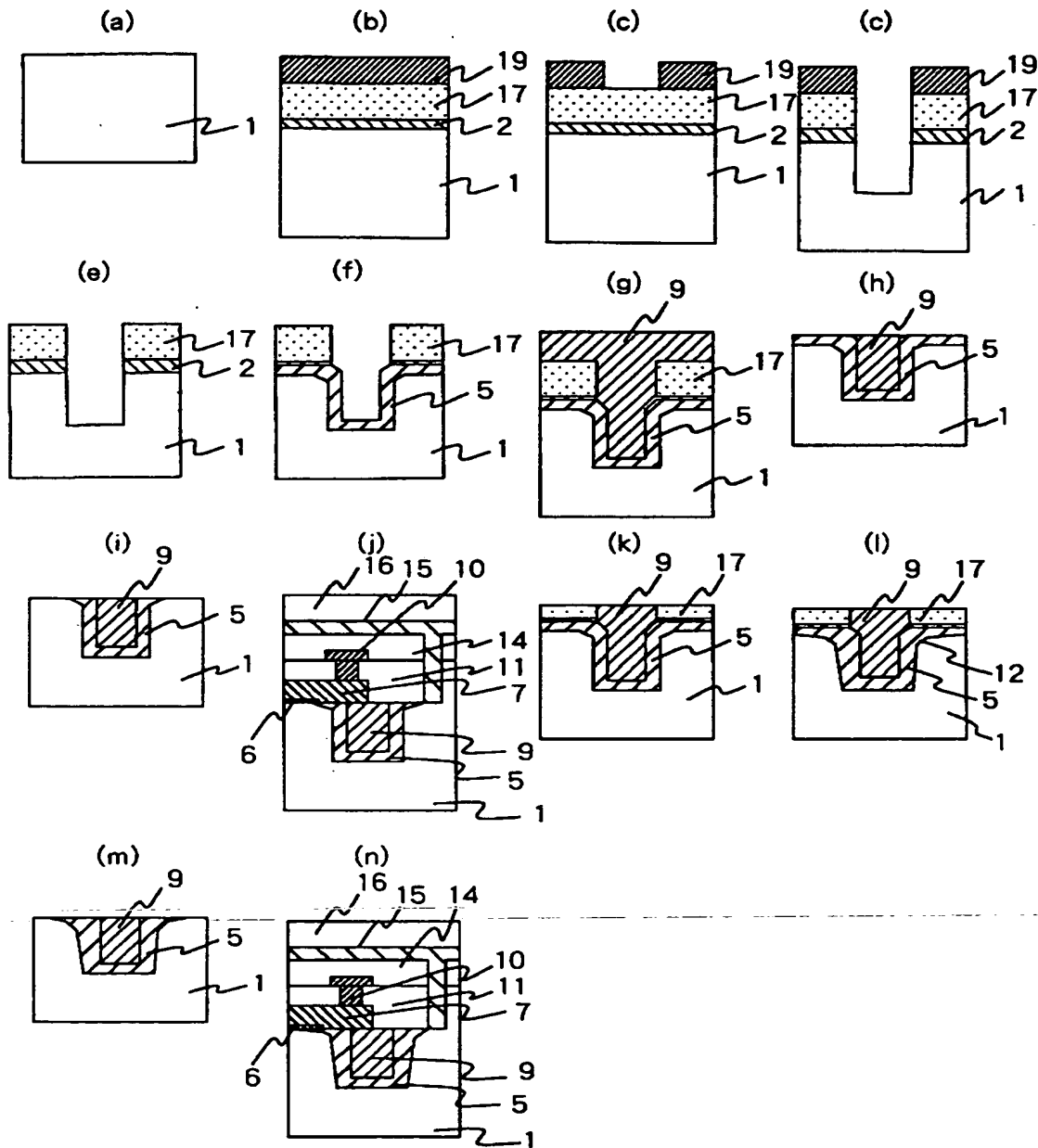
【図 7】

図 7



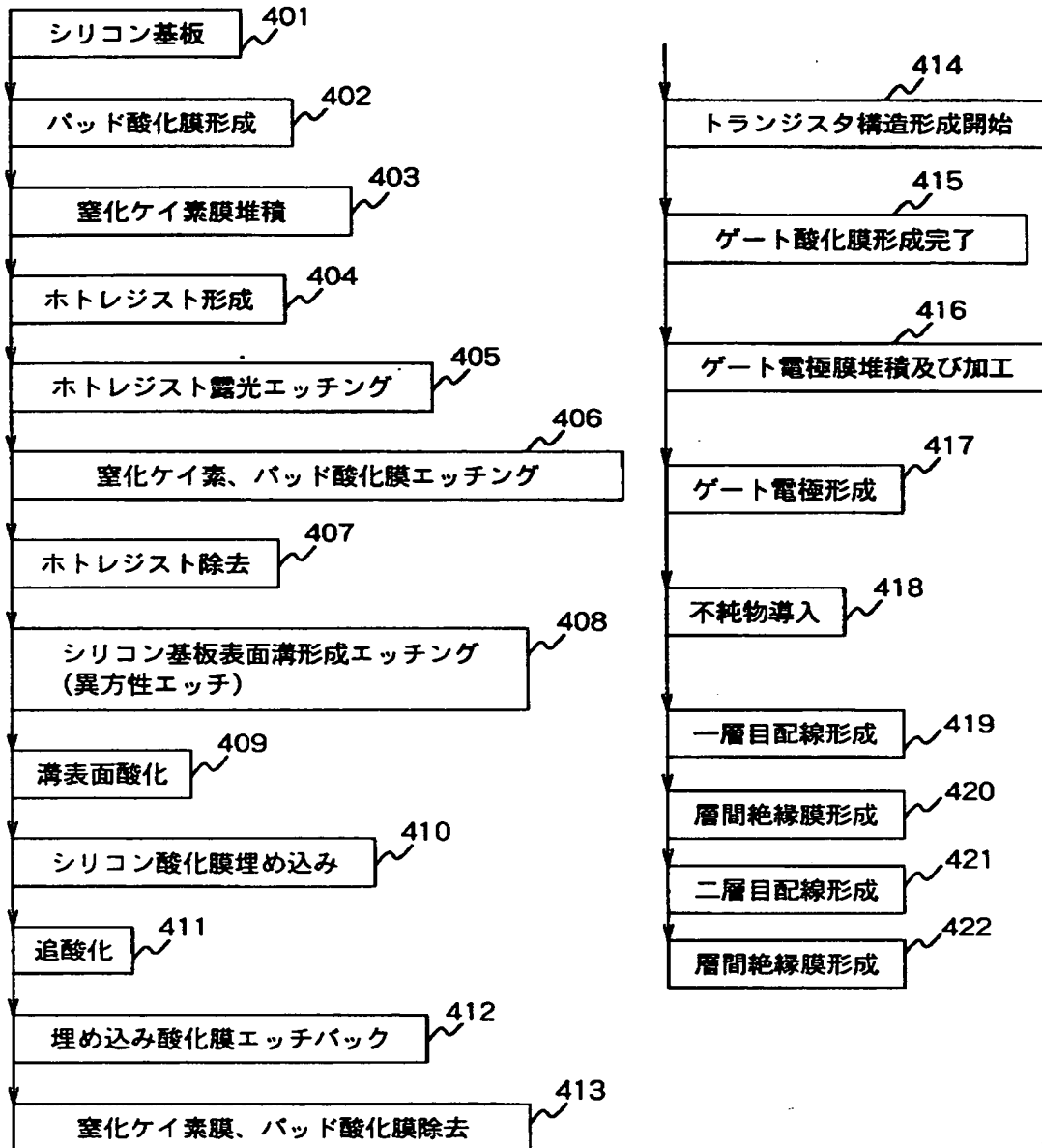
【図8】

図 8



【図9】

図 9



【書類名】 要約書

【要約】

【課題】 素子分離用溝上端近傍の基板形状が鋭角化しゲート電極膜端部近傍の電界集中に起因したMOS型トランジスタのリーク電流増加あるいは耐圧特性の低下を引き起こすことのないような素子分離酸化膜構造を有する半導体装置およびその製造方法を提供する。

【解決手段】 溝分離構造を有する半導体装置において、従来の方法で選択的に溝表面を酸化した後、酸化防止膜を除去し基板あるいは溝表面の酸化膜のみが露出した状態で再び基板表面全体を酸化し、溝上端近傍の酸化膜形状に曲率を持たせた構造にする。

【選択図】 図3

特平 8-244445

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005108
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】 株式会社日立製作所
【代理人】 申請人
【識別番号】 100068504
【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製作所 知的所有権本部内
【氏名又は名称】 小川 勝男

特平 8-244445

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

